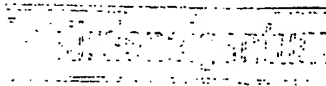




DEUTSCHES  
PATENTAMT

②① Aktenzeichen:	P 30 24 370.0-32
②② Anmeldetag:	27. 6. 80
④③ Offenlegungstag:	28. 1. 82



⑦① Anmelder:  
Siemens AG, 1000 Berlin und 8000 München, DE

⑦② Erfinder:  
Euringer, Manfred, Dipl.-Ing., 7500 Karlsruhe, DE

DE 3024370 A1

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Redundantes Steuersystem

DE 3024370 A1

Patentansprüche

1. Redundantes Steuersystem mit mehreren parallel arbeitenden, gleiche Daten nach übereinstimmenden Programmen  
5 verarbeitenden Teilsystemen, die je eine Zentraleinheit, Speicher sowie periphere Einheiten enthalten, wobei die Zentraleinheiten, die Speicher und die peripheren Einheiten verschiedener Teilsysteme einander entsprechen, und mit mindestens einer Vergleichseinrichtung, welche die in  
10 den Teilsystemen auftretenden Signale vergleicht und bei Ungleichheit ein Fehlersignal abgibt, d a d u r c h g e k e n n z e i c h n e t , daß die Vergleichseinrichtung einen Fehlersignalspeicher (FS1 ... FS<sub>n</sub>) enthält, dessen Inhalt von den Zentraleinheiten (ZE1, ZE2) wahlweise abrufbar ist.  
15
2. Steuersystem nach Anspruch 1, d a d u r c h g e k e n n z e i c h n e t , daß je Teilsystem eine Daten, Adressen und Steuersignale übertragende Peripherie-Busleitung (PB1, PB2) vorhanden ist, an welche die Zentraleinheit (ZE1; ZE2) und die peripheren Einheiten (ZZ1, AS1, AE1, EE1; ZZ2, AS2, AE2, EE2) angeschlossen sind und daß die Vergleichseinrichtung (VGL) Signale auf den Peripherie-Busleitungen miteinander vergleicht.  
20
3. Steuersystem nach Anspruch 1 oder 2, d a d u r c h g e k e n n z e i c h n e t , daß die Vergleichseinrichtung mindestens ein Antivalenzglied (AK1 ... AK<sub>n</sub>) enthält, an das der Fehlersignalspeicher (FS1 ... FS<sub>n</sub>) angeschlossen ist, dessen Ausgang auf die Eingänge von je  
30 einem Teilsystem zugeordneten, schaltbaren Ausgabeverstärkern (AV1, AV'1; ... AV<sub>n</sub>, AV'n) geführt sind, welche von Adressendecodierern (LDC, LDC') gesteuert sind, die an die Peripherie-Busleitungen (PB1, PB2) angeschlossen sind.  
35
4. Steuersystem nach Anspruch 3, d a d u r c h g e k e n n z e i c h n e t , daß dem einen Eingang des

130064/0069

ORIGINAL INSPECTED

- 16 - 2 -

VPA 80 P 3531 DE.

Antivalenzglied (AK1 ... AKn) ein ein- und ausschaltbarer Inverter (IV1 ... IVn) vorgeschaltet ist, der von einem Testsignal umschaltbar ist, das aus dem Ausgangssignal eines mit der Peripherie-Busleitung (PB1) eines Teilsystems verbundenen Testsignal-Adreßdecodierers (TDC) abgeleitet ist.

5. Steuersystem nach Anspruch 4, dadurch gekennzeichnet, daß an den Testsignal-Adreßdecodierer (TDC) ein den Inverter (IV1 ... IVn) steuernder Testsignalspeicher (TS1 ... TSn) angeschlossen ist.

6. Steuersystem nach Anspruch 4 oder 5, dadurch gekennzeichnet, daß der Rücksetzeingang des Fehlersignalspeichers (FS1 ... FSn) mit dem Testsignal derart angesteuert ist, daß er mit der Rückflanke des Testsignals gelöscht wird.

7. Steuersystem nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß zwei Teilsysteme (K1, K2) vorhanden sind, daß jedes Teilsystem eine periphere Ausgabeeinheit (AE1, AE2) und eine periphere Eingabeeinheit (EE1, EE2) aufweist und daß einander entsprechende Ausgänge (A1, A'1) der peripheren Ausgabeeinheiten (AE1, AE2) auf einander entsprechende Eingänge (E'5, E5) der peripheren Eingabeeinheiten (EE2, EE1) des jeweils anderen Teilsystems rückgeführt sind.

SIEMENS AKTIENGESellschaft - 3 - Unser Zeichen  
Berlin und München VIA 80 P 3531 DE

*Austausch von 4 Blättern, Nr. 1.10.80.*

5 Redundantes Steuersystem

Die Erfindung betrifft ein redundantes Steuersystem gemäß dem Oberbegriff des Anspruchs 1.

- 10 Derartige Steuersysteme sind mehrfach bekannt. Beispielsweise ist in der DE-AS 21 08 496 beschrieben, die Ausgabetelegramme von drei Rechnern nach einer Mehrheitsentscheidung zu prüfen und dadurch einen etwaigen defekten Rechner festzustellen. Zur Funktionskontrolle werden der
- 15 Vergleichseinrichtung absichtlich gefälschte Telegramme zugeführt.

- Aus der DE-AS 26 47 367 ist bekanntgeworden, die Ausgangssignale von drei parallel arbeitenden Zentraleinheiten über
- 20 drei Busleitungen zu übertragen und an diese periphere Einheiten über Mehrheitsschaltungen anzuschließen. Für die Übertragung der Signale von den peripheren Einheiten zu den Zentraleinheiten sind drei weitere Busleitungen vorgesehen. Mit dieser bekannten Steueranordnung können auf
- 25 Stellglieder, z. B. ein Magnetventil, Stellbefehle gegeben werden, die über die peripheren Einheiten und die Eingangs-Busleitungen auf die Rechner rückgeführt sind. Es kann somit die richtige Ausführung der Befehle überwacht werden. Eine weitere Funktionskontrolle wird nicht durchgeführt. Die peripheren Einheiten können wahlweise redundant oder nicht-redundant betrieben werden.
- 30

- In der deutschen Patentanmeldung P 29 31 280.8 ist eine weitere redundante Steueranordnung mit mehreren programmierbaren Rechnern vorgeschlagen, in welcher die über
- 35 Ausgangs-Busleitungen übertragenen Signale in den peripheren Einheiten verknüpft werden und die verknüpften Si-

Zin 4 Sc1 / 25.06.1980

130064/0069

- 2-4-

VPA 80 P 3531 DE

gnale parallel über mehrere Eingangs-Busleitungen zu den Zentraleinheiten rückgeführt werden. Dort werden die rückgeführten Signale mit Sollsignalen verglichen, und im Falle einer Abweichung wird ein Fehlersignal abgegeben.

5

Die bekannten Anordnungen arbeiten entweder in der Weise, daß getaktete Vergleichseinrichtungen bei einer Antivalenz der überprüften Signale oder auch bei einem Ausfall der Vergleichseinrichtung einen Prüftakt sperren. Beim Ausbleiben von Prüftaktimpulsen werden dann Sicherheitsreaktionen ausgelöst. Andere Anordnungen enthalten Register, in welche die Signale auf den Busleitungen bei jedem Bearbeitungsschritt parallel übernommen werden und deren Inhalte verglichen werden. Die bekannten Anordnungen haben den Nachteil, daß Schaltungen zur Erzeugung des Prüftaktes und zur Auswertung des Prüftaktes notwendig sind. Außerdem werden bei einigen bekannten Anordnungen die Zentraleinheiten und die Verbindungsleitungen durch den Vergleich und die Übertragung des Vergleichsergebnisses belastet.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, eine Steueranordnung der im Oberbegriff des Anspruchs 1 angegebenen Art zu schaffen, die eine Vergleichseinrichtung enthält, die sich durch Fehlersicherheit sowie einfachen Aufbau auszeichnet, und bei der die Vergleichsergebnisse zu gewünschten Zeitpunkten zu den Zentraleinheiten übertragen werden.

Erfindungsgemäß wird diese Aufgabe mit den im kennzeichnenden Teil des Anspruchs 1 angegebenen Maßnahmen gelöst.

Die Vergleichseinrichtung enthält demnach außer dem oder den eigentlichen Vergleichen, die mit Antivalenzgliedern gebildet sein können, einen Speicher, in den Fehlersignale eingetragen werden, wenn Unterschiede zwischen den einander entsprechenden Signalen in den Teilsystemen festge-

130064/0069

- 5 - VPA 80 P 3531 DE

stellt werden. Diese Fehlersignale bleiben zunächst gespeichert, bis sie von den Zentraleinheiten abgerufen werden. Auf diese Weise werden zwar bei jedem Programmbearbeitungsschritt der Zentraleinheiten deren Ein- und Ausgabesignale auf Antivalenz überprüft, es wird aber nur zu bestimmten, im allgemeinen durch die Bearbeitungsprogramme vorgegebenen Zeitpunkten das Vergleichsergebnis abgerufen, so daß die Zentraleinheiten und die Übertragungsleitungen nicht mehr als notwendig belastet sind. Je nach geforderter Sicherheit des Steuersystems und notwendiger Reaktionsgeschwindigkeit auf Antivalenzen der ein- und ausgegebenen Signale können die Vergleichsergebnisse nach jedem Bearbeitungsschritt oder nach einer Folge von Bearbeitungsschritten abgerufen werden. Es ist auch möglich, daß, wenn für bestimmte Bearbeitungsschritte keine Redundanz erforderlich ist, die Teilsysteme unabhängig voneinander verschiedene Programme bearbeiten und periphere Einheiten ansteuern. Die dabei auftretenden Antivalenzen werden zwar von der Vergleichseinrichtung festgestellt und im Fehlersignalspeicher gespeichert, dessen Inhalt wird aber nicht abgerufen. Erst wenn eine redundante Signalübertragung erfolgt, wird der Speicher zurückgesetzt, und während oder auch erst nach der redundanten Übertragung wird er abgefragt, ob eine Antivalenz aufgetreten ist. Die Zentraleinheiten des Steuersystems werden daher zur Auswertung der Vergleichsergebnisse mitbenutzt, wobei die Reaktion auf Fehlermeldungen programmierbar ist. Spezielle Abschalteneinrichtungen sind nicht notwendig, da die Zentraleinheiten Sicherheitsreaktionen redundant und damit fehlersicher ausführen können.

Vorteilhaft ist das neue Steuersystem in der Weise ausgebildet, daß je Teilsystem eine Daten-, Adressen- und Steuerungssignale übertragende Peripherie-Busleitung vorgesehen ist, an welche die Zentraleinheit und die peripheren Einheiten angeschlossen sind, und daß die Vergleichseinrichtung zwischen die Peripherie-Busleitungen geschaltet ist und

130064/0069

- 4-6 - VPA 80 P 3531 DE

die auf diesen übertragenen Signale miteinander vergleicht.  
In derartigen Anordnungen sind den peripheren Einheiten  
Adressen zugeordnet. Zum Aufrufen einer peripheren Ein-  
heit und zur Durchführung eines Befehls werden auf die  
5 Busleitungen eine Adresse und ein Datum geschaltet, welche  
die periphere Einheit und den durchzuführenden Befehl an-  
geben. In einem solchen System kann die Vergleichseinrich-  
tung wie jede andere periphere Einheit behandelt werden.  
Es ist ihr also mindestens eine Adresse zugeordnet. Wird  
10 diese auf die Busleitungen geschaltet, wird der Inhalt  
des Fehlersignalspeichers über die Busleitungen redundant  
zur Auswertung den Zentraleinheiten zugeführt.

In der Vergleichseinrichtung können, von den Zentralein-  
15 heiten gesteuert, weitere Funktionen ausgeführt werden.  
Vorteilhaft wird von Zeit zu Zeit eine Testfunktion aus-  
geübt. Auch hierzu geben die Zentraleinheiten mit einer  
Adresse Befehle aus, die von der Vergleichseinrichtung  
decodiert und als Befehle zur Durchführung von Tests er-  
20 kannt werden. Aus den decodierten Befehlen werden Test-  
signale gebildet, mit denen ein oder mehrere steuerbare  
Inverter, die jeweils dem einen Eingang eines Antivalenz-  
gliedes vorgeschaltet sind, in den invertierenden Be-  
triebszustand geschaltet werden. Darauf werden wie üblich  
25 über die Busleitungen gleiche Daten übertragen, auf die  
nun, da die Daten der einen Busleitung dem Antivalenz-  
glied invertiert zugeführt werden, die Vergleichseinrich-  
tung anspricht und ein Fehlersignal erzeugt, sofern sie  
ordnungsgemäß arbeitet. Die Zentraleinheiten rufen den  
30 Inhalt des Fehlersignalspeichers ab und prüfen, ob ein  
Fehlersignal gespeichert war. Da die Adresse und das Datum,  
aus welchen die Testsignale abgeleitet sind, auf den Bus-  
leitungen im allgemeinen nicht so lange zur Verfügung  
stehen, bis der Test abgeschlossen ist, ist zweckmäßig  
35 ein Testsignalspeicher vorgesehen, in dem die aus der  
Adresse und dem Datum abgeleiteten Testsignale gespeichert  
werden. Das Rücksetzen des Testsignalspeichers erfolgt

130064/0069

- 7 - VPA 80 P 3531 DE

zweckmäßig mittels eines von den Zentraleinheiten abgegebenen Befehls. Von der Rückflanke des Testsignals kann, z. B. durch Differenzieren, ein Rücksetzimpuls für den Fehlersignalspeicher gebildet werden.

5

Mit der neuen Anordnung können nicht nur die Ein- und Ausgangssignale der Zentraleinheiten und der Speicher überwacht werden, sondern indirekt auch die peripheren Einheiten, indem die Ausgangssignale von peripheren Ausgabeeinheiten jedes Teilsystems auf Eingänge von peripheren Eingabeeinheiten des jeweils anderen Teilsystems rückgeführt sind. Diese Signale werden von den peripheren Eingabeeinheiten über die Busleitungen zur Zentraleinheit übertragen, wobei sie von der Vergleichseinrichtung auf Gleichheit überwacht werden. Mit einer solchen Anordnung werden  
15 Einfachfehler in den peripheren Einheiten erkannt.

Anhand der Zeichnung werden im folgenden die Erfindung sowie weitere Ausgestaltungen und Ergänzungen näher beschrieben und erläutert.  
20

Es zeigen

Figur 1 das Prinzipschaltbild eines Ausführungsbeispiels,  
Figur 2 das Schaltbild einer in dem System nach Figur 1  
25 eingesetzten Vergleichseinrichtung und  
Figur 3 Diagramme von in der Vergleichseinrichtung nach Figur 2 auftretenden Impulsen.

In Figur 1 ist ein Steuersystem gezeigt, das aus zwei Teilsystemen K1, K2 besteht. Jedes von ihnen enthält eine Zentraleinheit ZE1, ZE2, welche Anweisungen bearbeitet, die in einem ihr zugeordneten, nicht dargestellten Programmspeicher enthalten sind, wobei Daten, die in einem Arbeitsspeicher AS1, AS2 abgelegt sind, ausgewertet werden. Die  
30 Zentraleinheiten ZE1, ZE2 sind mit den Arbeitsspeichern AS1, AS2 über Peripherie-Busleitungen PB1, PB2 verbunden. An diese Busleitungen sind weitere periphere Einheiten, im  
35

130064/0069



- 8 - VPA 80 P 3531 DE

Ausführungsbeispiel nach Figur 1 je ein Zeitzähler ZZ1, ZZ2, eine Ausgabeeinheit AE1, AE2 und eine Eingabeeinheit EE1, EE2 angeschlossen. Die Ausgabeeinheiten dienen dazu, binäre Signale nach außen abzugeben. Beispielsweise ist an Ausgänge A2, A'2 über Ansteuerglieder ST1, ST2 ein Relais RL angeschlossen. Über die Eingabeeinheiten EE1, EE2 werden von außen kommende binäre Signale auf die Busleitungen PB1, PB2 geschaltet und den Zentraleinheiten ZE1, ZE2 oder auch unmittelbar den Arbeitsspeichern AS1, AS2 zugeführt. Jedem Zeitzähler ZZ1, jeder Zelle des Arbeitsspeichers AS1, jedem Ausgang A1, A2 ... der Ausgabeeinheit AE1 und jedem Eingang E1, E2 ... der Eingabe EE1 ist eine Adresse zugeordnet. Soll z. B. das Relais RL angesteuert werden, dann geben die Zentraleinheiten ZE1, ZE2 die Adressen der Ausgänge A2, A'2 der Ausgabeeinheiten AE1, AE2 auf die Busleitungen PB1, PB2. Die Adresse kann durch Befehle, wie Lesen, Schreiben, Öffnen, Schließen, ergänzt sein. Entsprechend werden Signale von außen nur dann von der Eingabeeinheit EE1 durchgeschaltet, wenn die Einheit adressiert ist.

Die beiden Zentraleinheiten ZE1, ZE2 sind identisch aufgebaut und arbeiten synchron, wobei im allgemeinen nach übereinstimmenden Programmen gleiche Daten verarbeitet werden. Demgemäß haben die Zellen des Arbeitsspeichers AS2 dieselben Adressen wie die des Arbeitsspeichers AS1. Ebenso können die Ausgänge A'1, A'2 ... der Ausgabeeinheit AE2 dieselben Adressen wie die Ausgänge A1, A2 ... der Ausgabeeinheit AE1 haben. Entsprechendes gilt für die Eingabeeinheiten und die Zeitzähler.

Damit die Eingangssignale redundant verarbeitet werden, sind den Eingängen E3, E'3 und E4, E'4 gleiche Signale zugeführt. Gegebenenfalls müssen für die Abfrage und Übertragung der Eingangssignale über die Busleitungen Synchronisiermaßnahmen vorgesehen werden. Unter dieser Voraussetzung werden bei störungsfreiem Betrieb an den Ausgängen

130064/0069

- 7- 9- VPA 80 P 3531 DE

gen A2, A'2 der Ausgabeeinheiten AE1, AE2 übereinstimmende Signale abgegeben, so daß bei geeigneter Ausbildung der Ansteuereinheiten ST1, ST2 das Relais RL nur dann anzieht, wenn z. B. an beiden Ausgängen A2, A'2 log. "1"-Signal auftritt. Das Relais fällt ab, wenn an einem dieser beiden Ausgänge "0"-Signal auftritt. Eine solche Betriebsweise wird man nur dann wählen, wenn die gesteuerte Anlage bei angezogenem Relais in einen gefährlichen Zustand gelangen kann, ein abgefallenes Relais dagegen die Anlage in einen sicheren Zustand bringt. Dementsprechend wird man entsprechende Ausgänge der beiden Teilsysteme so verknüpfen, daß bei einer Antivalenz der Ausgangssignale, d. h. bei einer Störung eines Teilsystems, die Anlage in den sicheren Zustand gesteuert wird. Fällt ein Teilsystem aus, so kann Vorsorge dafür getroffen werden, daß die Anlage mit dem anderen Teilsystem weiterbetrieben oder zumindest in den sicheren Zustand gebracht werden kann.

Weniger wichtige Daten werden jeweils nur einem Eingang E1, E2, E'1 zugeführt und nur vom Teilsystem K1 bzw. K2 bearbeitet. Ebenso können über die Ausgänge A1, A'1 Daten nicht redundant ausgegeben werden. In diesen Fällen treten auf den Peripherie-Busleitungen PB1, PB2 auch bei ordnungsgemäßem Betrieb unterschiedliche Signale auf.

Eine andere Betriebsart besteht darin, daß Eingangssignale nicht-redundant nur einer Eingabeeinheit EE1, EE2 zugeführt werden, daß aber die auf die Abfrage dieser Eingabeeinheit auf die zugehörige Peripherie-Busleitung geschalteten Signale mittels eines Koppelerstärkers KV1, KV2 auf die jeweils andere Busleitung gegeben werden, so daß auf beiden Busleitungen gleiche Signale liegen. Die Koppelerstärker sind ein- und ausschaltbar und erhalten von der zugehörigen Eingabeeinheit, die einen Adressendecodierer enthält, dann ein Freigabesignal, wenn das von einem Eingang abgefragte Signal beiden Zentraleinheiten ZE1, ZE2 zugeführt werden soll. Entsprechend kann verfahren werden,

130064/0069

- 8 - 10 - VPA 80 P 3531 DE

wenn ein Eingangssignal redundant zwei einander entsprechenden Eingabeeinheiten, z. B. den Eingängen E3, E'3 der Eingabeeinheiten EE1, EE2 zugeführt wird, indem in zwei Schritten, die nicht unbedingt aufeinanderfolgen müssen, 5  
zunächst der Eingang E3 der Eingabeeinheit EE1 und dann der Eingang E'3 der Eingabeeinheit EE2 abgefragt wird. Bei ungestörtem Betrieb werden dann auf jeder Peripherie-Busleitung zwei übereinstimmende Signalkombinationen übertragen. Im Falle einer Störung eines Koppelverstärkers oder 10  
einer Peripherie-Busleitung sind jedoch die über die Busleitungen gleichzeitig übertragenen Signalkombinationen unterschiedlich, im Falle einer Störung einer Eingabeeinheit die auf den Busleitungen nacheinander übertragenen Signalkombinationen. Im letzteren Falle werden die Zentralein- 15  
heiten ZE1, ZE2 unterschiedlich reagieren, so daß deren Ausgangssignale voneinander abweichen.

Ähnlich wie die Eingangssignale können auch über die Ausgänge A1, A2 ... A'1, A'2 Ausgangssignale seriell abgegebenen werden, indem einander entsprechenden Ausgängen, z. B. 20  
den Ausgängen A2, A'2, unterschiedliche Adressen zugeordnet sind. In einem ersten Schritt geben die Zentraleinheiten ZE1, ZE2 einen Befehl zur Steuerung des Relais RL mit der Adresse des Ausganges A2 ab und in einem zweiten 25  
Schritt, der nicht unmittelbar auf den ersten Schritt folgen muß, denselben Befehl mit der Adresse des Ausganges A'2. Nach dem ersten Schritt erscheint am Ausgang A2 ein Steuerungssignal und nach dem zweiten Schritt am Ausgang A'2. Da die Ausgangssignale nach einer UND-Funktion verknüpft sind, 30  
wird das Relais RL erst nach dem zweiten Schritt angesteuert. Bei jedem Schritt werden über die Peripherie-Busleitungen gleiche Signalkombinationen übertragen.

Bei dem Normalfall des redundanten Betriebs stehen auf 35  
sich entsprechenden Signalleitungen der Busleitungen PB1, PB2 immer gleiche Signale an. Zur Überwachung dieser Äquivalenz ist eine Vergleichseinrichtung VGL vorgesehen.

130064/0069

- 8-11- VPA 80 P 3531 DE

Die Vergleichsergebnisse werden in einem Fehlersignalspeicher, der in der Vergleichseinrichtung enthalten ist, gespeichert. Dieser wird von den Zentraleinheiten ZE1, ZE2 in gleicher Weise wie die anderen peripheren Einheiten AS1, AS2; AE1, AE2 ; ... abgefragt und der Inhalt  
5 ausgewertet. Damit ist die Reaktion der Zentraleinheiten auf von der Vergleichseinrichtung gemeldete Fehlersignale programmierbar, d. h. es kann je nach den Erfordernissen in kürzeren oder längeren Abständen in bestimmten Programm-  
10 phasen die Vergleichseinrichtung abgefragt werden. Bei nicht-redundantem Betrieb erfolgt keine Abfragung.

Die Vergleichseinrichtung nach Figur 2 enthält als Vergleichsschaltungen Antivalenzglieder AK1 ... AKn. Die  
15 Adern der Peripherie-Busleitungen PB1, über welche Daten übertragen werden, sind über Leitungen DA1 ... DAn und steuerbare Inverter IV1 ... IVn mit den einen Eingängen der Antivalenzglieder AK1 ... AKn verbunden. Deren andere Eingänge sind über Leitungen DA'1 ... DA'n jeweils an die  
20 entsprechenden Adern der Busleitung PB2 des zweiten Teilsystems K2 angeschlossen. Den Invertern IV1 ... IVn werden von einem weiter unten erläuterten Testsignalspeicher, bestehend aus Kippstufen TS1 ... TSn, log. "O"-Signale zugeführt, so daß sie die Signale von den Leitungen DA1 ... DAn  
25 unverändert zu den Antivalenzgliedern AK1 ... AKn durchschalten. An diese ist ein Fehlersignalspeicher mit den Kippstufen FS1 ... FSn angeschlossen, und zwar werden im Ausführungsbeispiel die Ausgangssignale der Antivalenzglieder den Vorbereitungseingängen J zugeführt. Die Taktimpulse für  
30 die Kippstufen FS1 ... FSn sind von den Steuersignalen "Schreiben" und "Lesen" abgeleitet, die über die Busleitung PB1 zu den peripheren Einheiten übertragen werden. Hierzu sind diese über Leitungen DS, DL einem UND-Glied OR mit ODER-Funktion zugeführt, an dessen Ausgänge die Takteingänge der  
35 Kippstufen FS1 ... FSn angeschlossen sind. Mit der positiven Flanke der Lese- und Schreibimpulse werden daher die Ausgangssignale der Antivalenzglieder AK1 ... AKn in die

130064/0069

- 10-12- VPA 80 P 3531 DE

Kippstufen FS1 ... FS<sub>n</sub> übernommen, wobei die Ausgangssignale log. "0" sind, wenn die Signale auf den Busleitungen PB1, PB2 übereinstimmen. Im Falle einer Antivalenz ist das Ausgangssignal des die Antivalenz feststellenden  
5 Antivalenzgliedes log. "1".

In Figur 3 ist die Ansteuerung des Fehlersignalspeichers veranschaulicht. In einem Diagramm da sind zwei Daten DTA1, DTA2 eingetragen, welche über die Busleitungen PB1, PB2  
10 übertragen werden. Das Datum DTA2 soll in eine periphere Einheit übernommen und das Datum DTA'1 von einer peripheren Einheit über die Busleitungen in die Zentraleinheiten ZE1, ZE2 eingelesen werden. Die Übernahme des Datums DTA2 ist durch die Rückflanke eines Schreibimpulses be-  
15 stimmt, der in einem Diagramm ds dargestellt ist. Der Zeitpunkt der Übernahme des Datums DTA1 in die Zentraleinheiten ZE1, ZE2 ist durch die Rückflanke eines in einem Diagramm dl dargestellten Leseimpulses bestimmt. Da die Schreib- und Leseimpulse nach einer ODER-Funktion ver-  
20 knüpft werden, gelangt an die Takteingänge des Fehlersignalspeichers FS1 ... FS<sub>n</sub> eine Impulsfolge or, die je übertragenem Datum DTA1, DTA2 eine positive Flanke aufweist, d. h. es wird bei jeder Gültigerklärung der übertragenen Daten ein Vergleich durchgeführt und das Ver-  
25 gleichsergebnis in den Fehlersignalspeicher eingetragen. Stimmen z. B. die Signale, die dem Antivalenzglied AK1 zugeführt sind, überein, so bleibt die Kippstufe FS1 im in Figur 2 eingezeichneten Zustand, und die Anzeigelampe AL1 bleibt dunkel. Besteht dagegen eine Antivalenz der beiden  
30 Signale, so wird die Kippstufe FS1 gesetzt, und die Anzeigelampe AL1 leuchtet auf.

Zur Verbesserung der Störsicherheit werden häufig Signale bei zweikanaliger Übertragung nicht, wie in der bisherigen  
35 Beschreibung vorausgesetzt, äquivalent, sondern antivalent übertragen. Ein in die beiden Leitungen eingestreuter Störimpuls erscheint dann im Gegensatz zu den Nutzimpulsen als

130064/0069

- ~~12~~ -13- VPA 80 P 3531 DE

5 äquivalentes Signal und kann erkannt werden. Für diese Übertragungsart kann die Vergleichseinrichtung nach Figur 2 ohne Änderung eingesetzt werden, indem die Inverter IV1 ... IVn von den Kippstufen TS1 ... TSn des Testsignalspeichers nicht "0"-, sondern "1"-Signal erhalten, also an den anderen Ausgang der Kippstufen angeschlossen sind.

10 Zum Abrufen des Inhalts des Fehlersignalspeichers FS1 ... FS<sub>n</sub> geben die Zentraleinheiten über die peripheren Busleitungen PB1, PB2 Adressen und Leseimpulse aus, welche von mit den Adressenleitungen der Busleitungen PB1, PB2 verbundenen Adreßdecodierern LDC, LDC' decodiert und als Freigabesignale Ausgabeverstärkern AV1 ... AV<sub>n</sub> bzw. AV'1  
15 ... AV'<sub>n</sub> zugeführt werden, so daß diese die von den Kippstufen FS1 ... FS<sub>n</sub> erhaltenen Signale auf die beiden Busleitungen PB1, PB2 schalten. Vorteilhaft sind die Ausgabeverstärker invertierend. Im Ausführungsbeispiel ist angenommen, daß nur die Daten überprüft werden, was in  
20 vielen Fällen genügt. Sollen auch die Adressen und Steuersignale überprüft werden, dann müssen die Inverter, der Testsignal- und der Fehlersignalspeicher entsprechend erweitert und die Fehlersignale zeitmultiplex zu den Zentraleinheiten übertragen werden. Ebenso wie die Adresse  
25 für die Decodierer LDC, LDC' wird auch das Abfrageergebnis des Fehlersignalspeichers zweifach redundant übertragen, damit ein Fehler in den für die Übertragung verantwortlichen Komponenten erkannt werden kann.

30 Die Überwachung der Schreib- und Leseimpulse kann dadurch verbessert werden, daß diese Impulse nicht über zwei der Leitungen DA1 ... DA<sub>n</sub> bzw. DA' ... DA'<sub>n</sub> geführt werden, sondern daß die Schreib- und Leseimpulse von der peripheren Busleitung PB1, PB2 jeweils auf ein dem ODER-Glied OR  
35 entsprechendes ODER-Glied geführt sind und daß an jedes ODER-Glied der Takteingang einer bistabilen Kippstufe angeschlossen ist. Die beiden Kippstufen werden dann bei un-

130064/0069

- 12-14- VPA 80 P 3531 DE

gestörtem Betrieb synchron geschaltet. Je nach Ausgangs-  
zustand, der bei Einschalten der Vergleichseinrichtung  
gewählt werden kann, sind die Ausgangssignale der Kipp-  
stufen stets äquivalent oder antivalent. Durch Überprü-  
5 fen der Schaltzustände dieser Kippstufen mit einer zusätz-  
lichen Vergleicherstufe können daher die Schreib- und  
Leseimpulse überwacht werden.

Es wird vorausgesetzt, daß der Testsignalspeicher TS1 ...  
10 TSn den Invertern IV1 ... IVn "O"-Signal zuführt, damit  
die auf den Leitungen DA1 ... DAn liegenden Signale un-  
verändert zu den Antivalenzgliedern AK1 ... AKn gelangen.  
Der Testsignalspeicher ist von einem Testsignaldecodierer  
TDC angesteuert, dem, wenn die Vergleichseinrichtung ge-  
15 testet werden soll, von der Zentraleinheit ZE1 des ersten  
Teilsystems Adressen und Daten und außerdem über die Lei-  
tung DS ein Schreibsignal zugeführt werden. Jeweils eine  
oder mehrere der Kippstufen TS1 ... TSn des Testsignal-  
speichers werden dadurch in einen Schaltzustand gebracht,  
20 bei dem den diesen nachgeschalteten Invertern IV1 ... IVn  
log. "1"-Signal zugeführt wird, so daß die Signale von  
den Leitungen DA1 ... DAn invertiert werden und, wenn, wie  
es bei ungestörtem Betrieb der Fall ist, auf den Buslei-  
tungen PB1, PB2 gleiche Signalkombinationen liegen, die  
25 Antivalenzbedingung an den Eingängen derjenigen Antiva-  
lenzglieder AK1 ... AKn erfüllt ist, welche durch die dem  
Testsignaldecodierer TDC zugeführten Daten ausgewählt sind.  
Es werden daher, wieder unter der Voraussetzung des fehler-  
freien Betriebs, die zugehörigen Kippstufen FS1 ... FSn  
30 des Fehlersignalspeichers gesetzt, von den invertierenden  
Ausgabeverstärkern AV1 ... AVn bzw. AV' ... AV'n log.  
"O"-Signale auf die Busleitungen PB1, PB2 geschaltet und  
von den Zentraleinheiten der beiden Teilsysteme empfangen.  
Liegt irgend ein Fehler im Vergleich vor, empfängt eine  
35 oder beide Zentraleinheiten über eine Ader, auf der bei  
Fehlerfreiheit ein log. "O"-Signal auftreten sollte, log.  
"1"-Signal, und der Fehler ist erkannt. Der Test wird

130064/0069

- 12-15 - VPA 80 P 3531 DE

durch Zurücksetzen des Testsignalspeichers beendet, wozu die Zentraleinheit ZE1 des ersten Teilsystems wiederum den Testdecodierer TDC mit den Adressen der zurückzusetzenden Kippstufen des Testsignalspeichers ansteuert. Die

5 Testsignale werden von Differenziergliedern R1, C1; ... Rn, Cn differenziert und auf die Rücksetzeingänge der Kippstufen FS1 ... FSn gegeben, derart, daß mit der Rückflanke der Testimpulse die Kippstufen in den Fehlerfreiheit

10 anzeigenden Zustand geschaltet werden. Im allgemeinen wird die Vergleichseinrichtung in mehreren Schritten getestet, wobei die Kombination der gesetzten Kippstufen TS1 ... TSn des Testsignalspeichers von Schritt zu Schritt geändert wird, bis alle für die Fehlererkennung notwendigen Kombi-

15 nationen geprüft sind. Der Testsignal-Adressendecodierer ist nur mit der Busleitung PB1 verbunden, da ein etwaiger Decodierfehler beim Auswerten der Testergebnisse erkennbar ist. Selbstverständlich kann auch ein zweiter Testsignal-Adressendecodierer vorgesehen werden, der an die zweite Busleitung PB2 angeschlossen ist und dessen Ausgangssignal

20 mit dem des ersten verknüpft wird.

Für das Auswerten der Vergleichsergebnisse und für das vollständige Testen der Vergleichseinrichtung sind nur wenige Schreib-, Lese- und Vergleichsoperationen notwen-

25 dig. Die für die Fehlererkennung notwendigen Programme laufen synchron in beiden Zentraleinheiten ab, wobei die richtige Bearbeitung wiederum von der Vergleichseinrichtung überwacht wird. Dadurch ergibt sich eine in sich geschlossene Prüfkette, bei der die Fehlererkennungszeit

30 und die Reaktion auf falsche Vergleichs- und Testergebnisse programmierbar ist. Neben der Anzeige der Fehlerart und des Zeitpunkts des Fehlereintritts, z. B. Programmspeicheradresse, können Fehlermeldungen zweikanalig und damit fehlersicher über die beiden Teilsysteme und daran ange-

35 schlossene periphere Einheiten ausgegeben werden.

130064/0069

RAD ORIGINAL



- ~~14~~ -16- VPA 80 P 3531 DE

- Die Vergleichseinrichtung ist nicht-redundant aufgebaut, trotzdem arbeitet sie weitgehend fehlersicher. Um die Verfügbarkeit und die Fehlersicherheit der Vergleichseinrichtung zu erhöhen, kann eine zweite Vergleichseinrichtung VGL' (Figur 1) vorgesehen werden, die zweckmäßig derart geschaltet ist, daß die Inverter und der Testsignal-Adressendecodierer an die Busleitung PB2 angeschlossen sind.
- 10 In der Praxis wird man die Vergleichseinrichtung zur Entlastung der Zentraleinheiten so betreiben, daß zunächst innerhalb einer kurzen Testphase alle Schaltungskomponenten der Vergleichseinrichtung geprüft werden. Anschließend folgt eine relativ lange Vergleichsphase zur Überwachung des
- 15 redundanten Steuersystems. Da alle Fehler in der Vergleichseinrichtung gespeichert werden, genügt es, wenn die Vergleichsergebnisse einmal am Ende der Vergleichsphase abgefragt werden. Die Fehlererkennungszeit kann verkleinert werden, indem man innerhalb der Vergleichsphase die Abfragen mehrmals durchführt oder indem man die Vergleichseinrichtung so modifiziert, daß eine gesetzte Kippstufe des
- 20 Fehlersignalspeichers eine Programmunterbrechung auslöst.

7 Patentansprüche

3 Figuren

130064/0069

3024370

1/3

- 19 -

Nummer:

Int. Cl. 3:

Anmeldetag:

Offenlegungstag:

3024370

G 05 B 9/03

27. Juni 1980

28. Januar 1982

80 P 3531

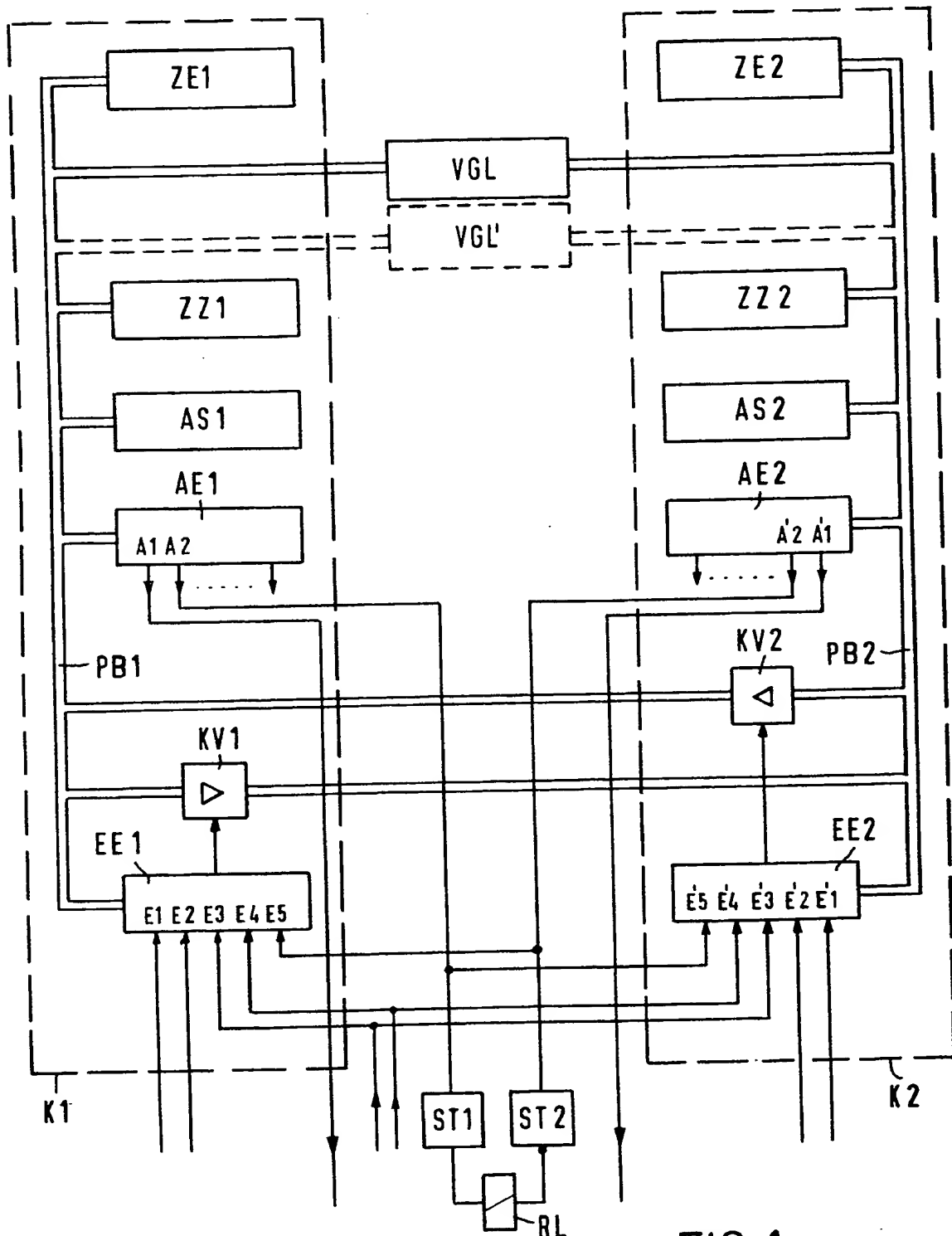


FIG 1

130064/0069

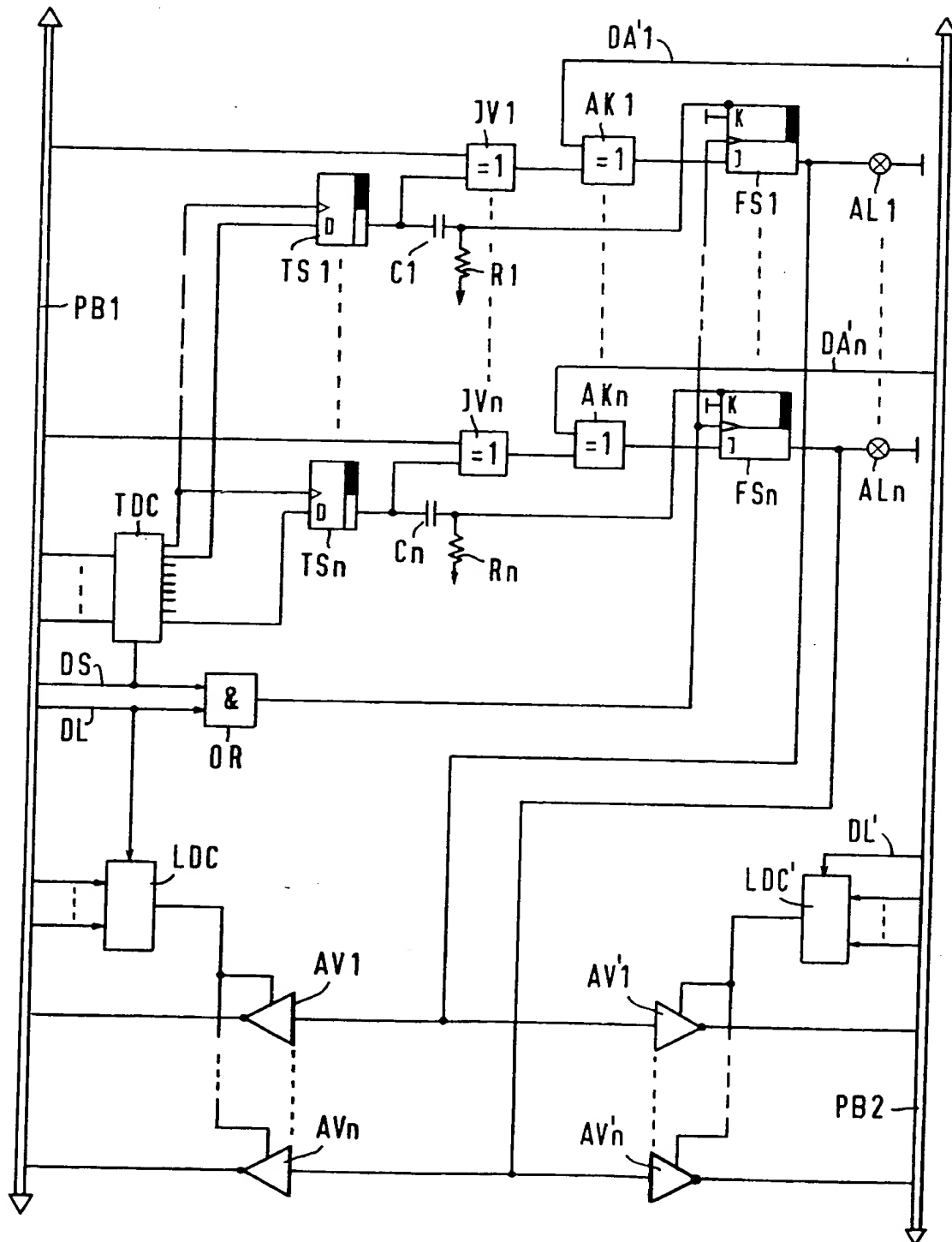


FIG 2

130064/0069

- 18 -

3/3

80 P 3531

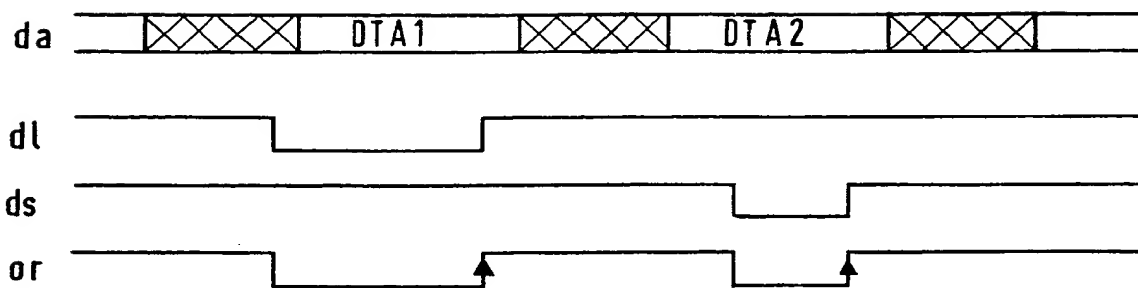


FIG 3